



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-188395

(43) 公開日 平成5年(1993)7月30日

(51) Int. Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G02F 1/136	500	9018-2K		
1/133	550	7820-2K		
H01L 27/12	A	8728-4M		
29/784		9056-4M	H01L 29/78	311 A
審査請求 未請求 請求項の数 4 (全7頁)				

(21) 出願番号 特願平4-4434

(22) 出願日 平成4年(1992)1月14日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 浅井 義裕

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

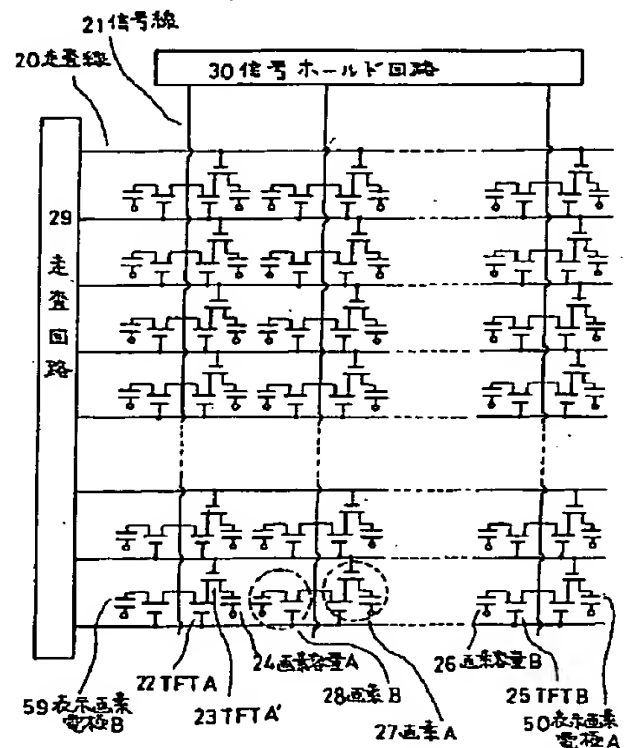
(74) 代理人 弁理士 則近 憲佑

(54) 【発明の名称】 液晶表示素子

(57) 【要約】

【構成】 走査線と信号線の各々の交点付近に2種類の異なる画素を配し、これらの画素に個別に表示信号を与える。

【効果】 走査線や信号線などの配線本数を大幅に低減できるため、断線や走査線-信号線間ショートの確率を低減せしめ、歩留まりを大幅に向上させることができる。



## 【特許請求の範囲】

【請求項 1】 複数本の信号線と走査線をマトリクス状に交差させ、これらの交点付近に薄膜トランジスタ及びこれに接続される表示画素電極を配した画素領域を有する液晶表示装置において、前記画素領域は周期的に繰り返されて配置された複数の異なる画素より形成されると共に、前記画素の個々には個別の表示信号が書き込まれることを特徴とする液晶表示素子。

【請求項 2】 前記画素領域は複数の第 1 の表示画素電極及び複数の第 2 の表示画素電極より形成されるとともに、前記信号線と前記第 1 の表示画素電極間に接続された第 1 の薄膜トランジスタと、前記信号線と前記第 2 の表示画素電極間に直列に接続された第 2 の薄膜トランジスタ及び第 3 の薄膜トランジスタとを有することを特徴とする請求項 1 記載の液晶表示素子。

【請求項 3】 前記第 1 の薄膜トランジスタ及び第 2 の薄膜トランジスタのゲートは共通の走査線に接続され、前記第 3 の薄膜トランジスタのゲートは前記共通の走査線とは異なる走査線に接続されたことを特徴とする請求項 2 記載の液晶表示素子。

【請求項 4】 前記 2 本の走査線が選択される期間と前記共通の走査線のみが選択される期間とが周期的に繰り返されることを特徴とする請求項 3 記載の液晶表示素子。

## 【発明の詳細な説明】

## 【 0 0 0 1 】

【産業上の利用分野】 この発明は、薄膜トランジスタ (Thin Film Transistor, TFT) をスイッチ素子として表示画素電極アレイを構成した液晶表示素子に関する。

## 【 0 0 0 2 】

【従来の技術】 近年、液晶を用いた表示素子は、テレビ表示やグラフィックディスプレイなどを指向した大容量で高密度のアクティブマトリクス型液晶表示素子の開発及び実用化が盛んである。このような液晶表示素子では、クロストークのない高コントラストの表示が行えるように、各画素の駆動と制御を行う手段として半導体スイッチが用いられる。その半導体スイッチとしては、透過型表示が可能であり大面積化も容易であるなどの理由から、絶縁基板上に形成された TFT などが用いられている。

【 0 0 0 3 】 図 6 に、例えば特開昭 56-162793 号公報に記載されている、このような液晶表示素子の概略断面構造を示す。絶縁基板 1 上には TFT 2 及び TFT 2 に接続された透明導電膜からなる表示画素電極 3 が配列形成されている。一方、絶縁基板 4 上には、透明導電膜からなる対向電極 5 が全面に形成されている。また絶縁基板 1 と絶縁基板 4 との間には液晶 6 が挟持されており、さらにその周囲を封着剤 7 で封止した構造となる。

【 0 0 0 4 】 上述の TFT 2 は、図 6 に示すように、マトリクス状に形成された走査線 1 0 と信号線 1 1 の各交

点位置に配設され、TFT 2 のゲートは行ごとに走査線 1 0 に接続され、TFT 2 のドレインは列ごとに信号線 1 1 に接続され、ソースは表示画素電極 3 に接続されている。そして、この表示画素電極 3 と対向電極 5 及び液晶 6 によって画素容量が形成されている。

【 0 0 0 5 】 また、図 8 は走査線 1 0 と信号線 1 1 の交差部の平面図を示し、図 9 はその断面図を示す。図に示すように、走査線 1 0 と信号線 1 1 とはゲート絶縁膜 1 6 によって絶縁されている。

【 0 0 0 6 】 次に、この液晶表示素子の駆動方法の一例について説明する。即ち、TFT 2 のゲートに走査線選択電圧が印加されている期間 (選択期間) に、表示画素電極 3 は信号線 1 1 と通じて映像信号電位と同電位に設定され、また、ゲートに走査線非選択電圧が印加されている期間 (保持期間) は、表示画素電極 3 はこの映像信号電位に保たれる。一方、対向電極 5 は所定の電位に設定されており、したがって表示画素電極 3 と対向電極 5 との間に挟持されている液晶 6 には、映像信号電位と対向電極電位の差に相当する電圧がかかる。この電圧に応じて液晶の配列状態が変化することにより光透過率が変化し、画像表示が行われる。また、液晶を直流駆動すると、液晶分子が電気分解されて劣化することにより寿命が短くなるため、一般には交流駆動が用いられている。一例を挙げると、所定の電位に設定された対向電極電位に対して、映像信号電位を偶奇フレームで正負対称に設定する方法が用いられている。

## 【 0 0 0 7 】

【発明が解決しようとする課題】 しかしながら、この種の液晶表示素子では、以下のような問題があった。製造工程中のゴミなどに起因して、走査線 1 0 と信号線 1 1 との交差部においてゲート絶縁膜 1 6 にピンホールのような絶縁不良箇所が発生すると、走査線 1 0 と信号線 1 1 が短絡不良を起こし、表示画面には線欠陥としてあらわれてしまう。あるいは、走査線 1 0 や信号線 1 1 自体が断線してしまうことも考えられ、これらの配線本数の多い大画面・高精細デバイスでは歩留まり低下の大きな要因となっている。

## 【 0 0 0 8 】

【課題を解決するための手段】 この発明は、上述の課題を解決するために、複数本の信号線と走査線をマトリクス状に交差させ、これらの交点付近に薄膜トランジスタ及びこれに接続される表示画素電極を配した画素領域を有する液晶表示素子において、この画素領域は周期的に繰り返されて配置された複数の異なる画素より形成されると共に、これらの画素の個々には個別の表示信号が書き込まれる液晶表示素子を用いる。

【 0 0 0 9 】 さらに具体的には、画素領域は複数の第 1 の表示画素電極及び複数の第 2 の表示画素電極より形成されるとともに、信号線と第 1 の表示画素電極間に接続された第 1 の薄膜トランジスタと、信号線と第 2 の表示

画素電極間に直列に接続された第2の薄膜トランジスタ及び第3の薄膜トランジスタとを有し、第1の薄膜トランジスタ及び第2の薄膜トランジスタのゲートは共通の走査線に接続され、第3の薄膜トランジスタのゲートは異なる走査線に接続されると共に、この2本の走査線が同時に選択される期間と、共通の走査線のみが選択される期間とが周期的に繰り返される液晶表示素子を用いる。

【0010】

【作用】この発明の液晶表示素子においては、異なる2本の走査線を選択した場合にのみ信号電圧が書き込まれる複数の画素と、それらのうち1本の走査線を選択した場合に信号電圧が書き込まれる複数の画素を用いて画素領域が形成され、1本の走査線又は信号線を2画素で共有することが可能となるため、走査線や信号線などの配線本数引いては信号線と走査線の交差部を従来のものよりも大幅に減少させることができる。

【0011】

【実施例】以下、図面を参照してこの発明を詳細に説明する。

【0012】図1はこの発明の一実施例を示す等価回路図である。走査線20と信号線21の各交点には、TF TA 22、TF TA' 23及び画素容量A 24により構成された画素A 27と、TF TB 25及び画素容量B 26で構成された画素B 28よりなる画素領域が形成されている。個々の画素容量は、それぞれの表示画素電極と共通電極68及びこれらに挟持された液晶層70より構成される。

【0013】また図2は、各々の画素における平面図を示す。即ち、画素Aにおいては、TF TA 22のドレイン電極55は信号線21に接続され、ソース電極58はTF TA' 23のドレイン電極63に接続されている。また、TF TA' 23のソース電極60は表示画素電極A 50に接続されている。TF TA 22のゲート電極56は

走査線20の第n行に接続され、TF TA' 23のゲート電極62は走査線20の第(n-1)行に接続されている。

【0014】一方、画素B 28においては、TF TB 25のドレイン電極54は信号線21に接続され、ソース電極51は表示画素電極B 59に接続されている。また、ゲート電極53は走査線20の第n行に接続されている。

【0015】図3は、図2の線BB'に沿った断面図を示す。絶縁基板73上には、ゲート電極53が形成され、この上にゲート絶縁膜72を介して半導体層52が形成されている。さらに、半導体層52はオーミック層64を介してソース電極51及びドレイン電極54の各々と接続されてTF TB 25が形成されている。さらに全面に配向膜71が積層されて、アレイ基板74が形成されている。

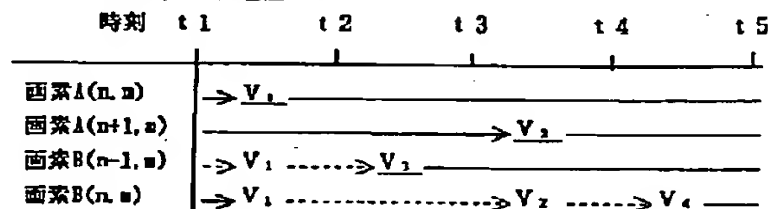
【0016】一方、絶縁基板67上には透明導電層からなる共通電極68が全面に形成され、さらにこの上に配向膜69が積層されて、対向基板66が形成されている。そしてアレイ基板74と対向基板66の間には液晶層70が挟持され、液晶表示装置が形成される。

【0017】次に、本実施例の液晶表示素子の駆動方法と動作原理を説明する。図5は図1の部分図を示し、図4は図5に示す各々の画素を駆動するための走査線電圧と信号線電圧のタイミングチャート図を示す。

【0018】走査線20には、1フレーム期間(Tf)に2回走査線選択電圧(以下、 $V_{g, on}$ と称する)が印加される。一方、信号線21には、中心電圧( $V_{sig, c}$ )に対してフレームごとに反転する信号線電圧が印加される。また次表1は、この様な駆動方法を用いた場合の各画素の動作を示す。

【0019】

【表1】



注) 破線は、他の画素に与えるべき信号電圧が印加されている期間を示す。

【0020】時刻 $t_1 \sim t_2$ において、走査線20の第(n-1)行及び第n行に $V_{g, on}$ が印加され、TF TA (n, m) 35とTF TA' (n, m) 37が同時に導通することによって画素容量A(n, m) 36に信号線電圧 $V_1$ が書き込まれる。また、TF TB(n-1, m) 41及びTF TB(n, m) 43が導通することによって、画素容量B(n-1, m) 42と画素容量B(n, m) 44のそれぞれにも同様に信号線電圧 $V_1$ が書き込まれる。

【0021】時刻 $t_2 \sim t_3$ になると、走査線20の第(n-1)行にのみ $V_{g, on}$ が印加され、TF TB(n-1, m) 41が導通することによって、画素容量B(n-1, m) 42に書き込まれていた電圧 $V_1$ は信号線電圧 $V_2$ に書き換えられる。一方、TF TA(n, m) 35及びTF TB(n, m) 43は非導通となり、画素容量A(n, m) 36及び画素容量B(n, m) 44は $V_1$ に保持されることにより、画素A(n, m) 45の透過率が決定される。

【0022】時刻 $t_3 \sim t_4$ になると、走査線20の第n行及び第(n+1)行に $V_{g, on}$ が印加され、TF TA

5

( $n+1, m$ ) 3 8 と T F T A' ( $n+1, m$ ) 4 0 が同時に導通することによって、画素容量 A ( $n+1, m$ ) 3 9 に信号線電圧  $V_2$  が書き込まれる。また、T F T B ( $n, m$ ) 4 3 が導通することによって、画素容量 B ( $n, m$ ) 4 4 に保持されていた  $V_1$  は信号線電圧  $V_2$  に書き換えられる。一方、T F T B ( $n-1, m$ ) 4 1 は非導通となって、画素容量 B ( $n-1, m$ ) 4 2 の電圧は  $V_1$  に保持されることにより、画素 B ( $n-1, m$ ) の透過率が決定される。

【0023】時刻  $t_1 \sim t_2$  になると、走査線 2 0 の第  $n$  行にのみ  $V_{g, on}$  が印加され、T F T B ( $n, m$ ) 4 3 が導通して画素容量 B ( $n, m$ ) 4 4 に保持されていた  $V_2$  は  $V_1$  に書き換えられる。一方、T F T A ( $n+1, m$ ) 3 8 は非導通となって、画素容量 A ( $n+1, m$ ) 3 9 の電圧は  $V_2$  に保持されることにより、画素 A ( $n+1, m$ ) 4 6 の透過率が決定される。

【0024】時刻  $t_2$  で走査線 2 0 の第  $n$  行が非選択電圧 ( $V_{g, off}$ ) になると、T F T B ( $n, m$ ) 4 3 は非導通となり、画素容量 B ( $n, m$ ) 4 4 は  $V_1$  に保持されるため、画素 B ( $n, m$ ) 4 8 の透過率が決定される。

【0025】こうして、図 5 の各画素の透過率が決定される。このとき、例えば画素容量 B ( $n, m$ ) 4 4 については、透過率を決定する電圧  $V_1$  が書き込まれる直前に他の画素の透過率を決定するための電圧  $V_1$  と  $V_2$  が書き込まれるが、その期間は非常に短いため、本来の表示には悪影響を与えない。これは、他の画素についても同様である。

【0026】本実施例のアクティブマトリクス型液晶表示素子においては、異なる 2 本の走査線を選択した場合にのみ信号電圧が書き込まれる複数の画素と、それらのうち 1 本の走査線を選択した場合に信号電圧が書き込まれる複数の画素を用いて画素領域が形成され、1 本の信号線を 2 画素で共有することが可能となるため、従来の液晶表示装置の工程を大幅に変更することなく信号線本数を従来の  $1/2$  に低減させることができる。

【0027】

【発明の効果】本発明の液晶表示装置においては、異なる 2 本の走査線を選択した場合にのみ信号電圧が書き込まれる複数の画素と、それらのうち 1 本の走査線を選択

6

した場合に信号電圧が書き込まれる複数の画素を用いて画素領域が形成され、1 本の走査線又は信号線を 2 画素で共有することが可能となるため、配線本数を従来のものよりも大幅に低減させることができ、ひいては走査線と信号線との交差部も大幅に低減させることができる。したがって、配線本数の多い大画面・高精細デバイスで問題となる信号線断線や信号線・走査線間ショートの確率を低減させて、歩留まりを大幅に向上させることができる。

【図面の簡単な説明】

【図 1】本発明の液晶表示素子の一実施例を示す等価回路図である。

【図 2】図 1 の液晶表示素子の二画素を示す平面図である。

【図 3】図 2 の線 B-B' に沿った断面図である。

【図 4】本発明の液晶表示素子の駆動波形を示すタイミングチャート図である。

【図 5】図 1 の液晶表示素子の一部分を示す等価回路図である。

【図 6】従来の液晶表示素子を示す断面図である。

【図 7】図 6 の液晶表示素子の一画素の等価回路図である。

【図 8】図 6 の液晶表示素子の信号線と走査線の交差部を示す平面図である。

【図 9】図 8 の線 A-A' に沿った断面図である。

【符号の説明】

2 0 … 走査線

2 1 … 信号線

2 2 … T F T A

2 3 … T F T A'

2 4 … 画素容量 A

2 5 … T F T B

2 6 … 画素容量 B

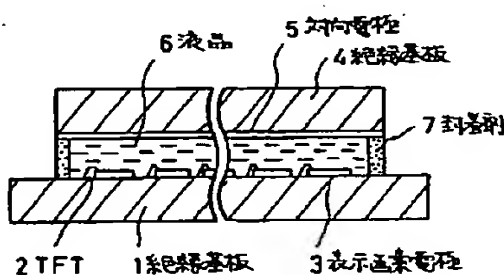
2 7 … 画素 A

2 8 … 画素 B

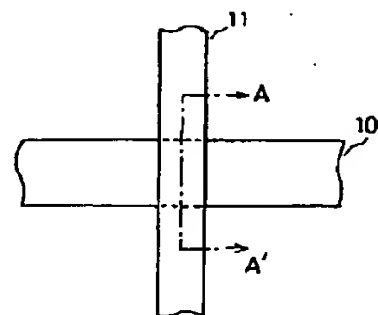
5 0 … 表示画素電極 A

5 9 … 表示画素電極 B

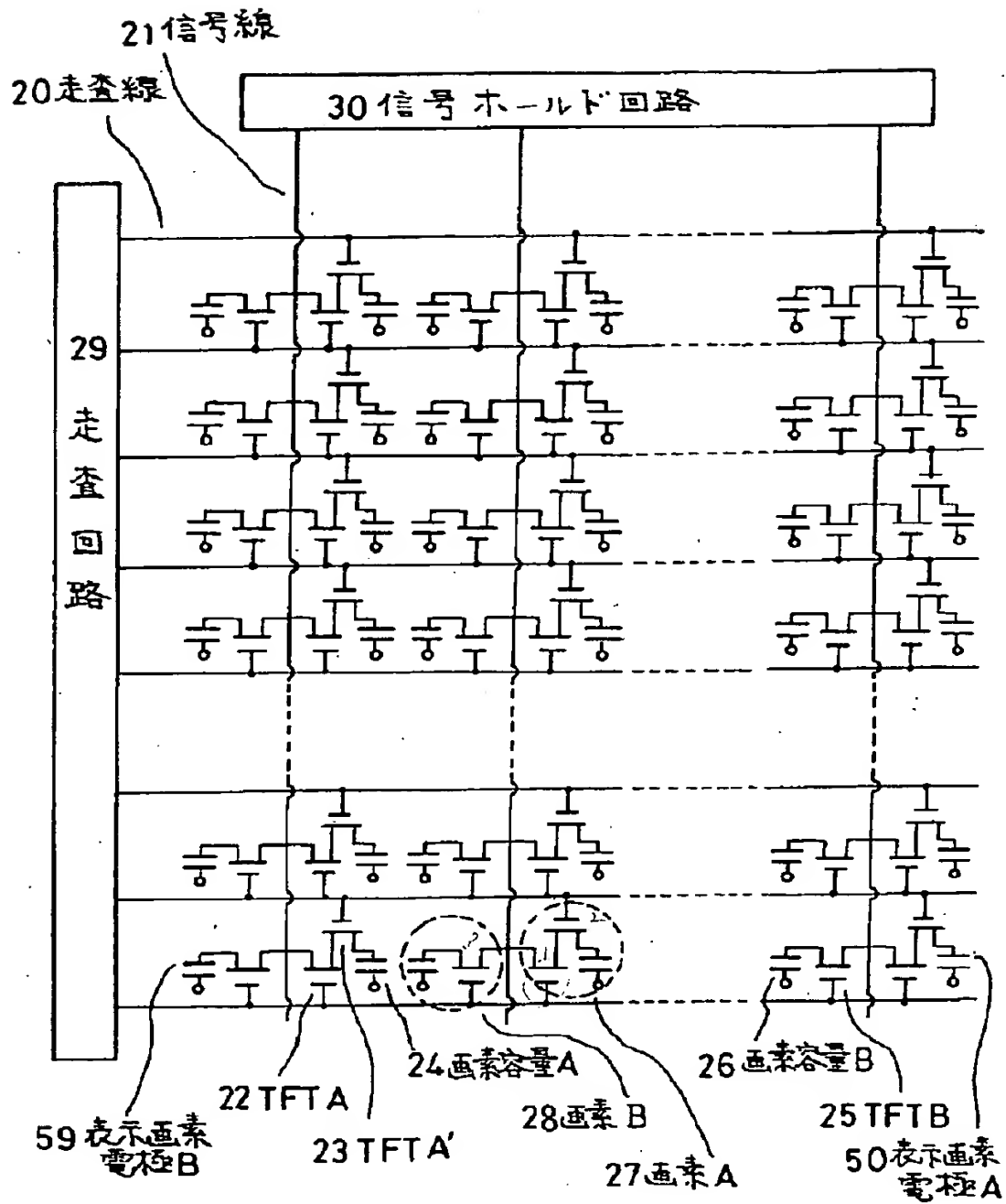
【図 6】



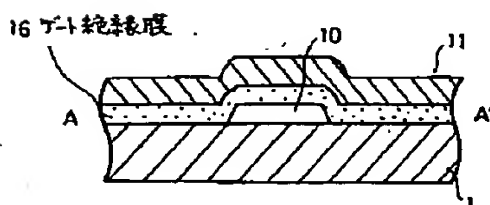
【図 8】



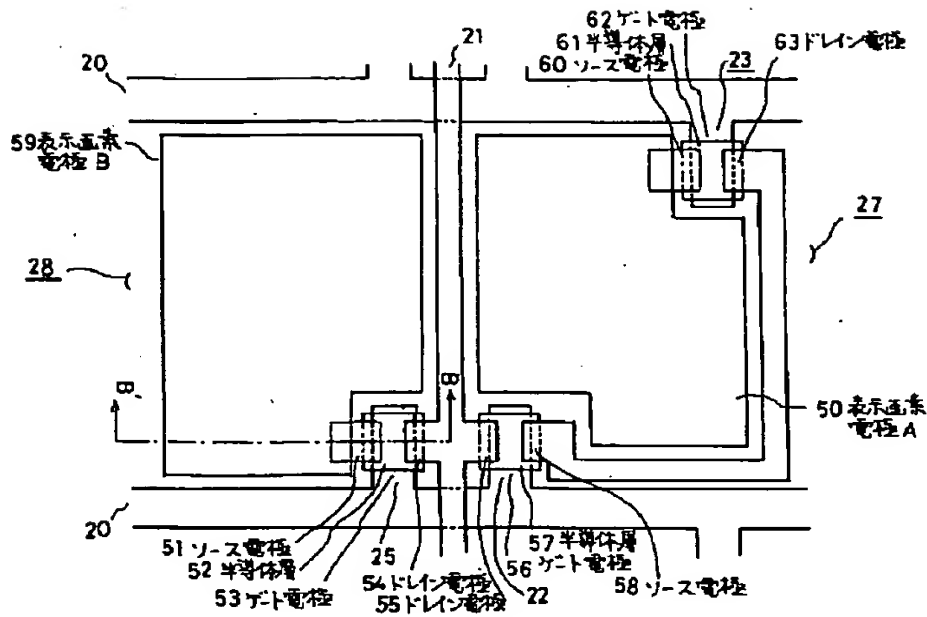
【図1】



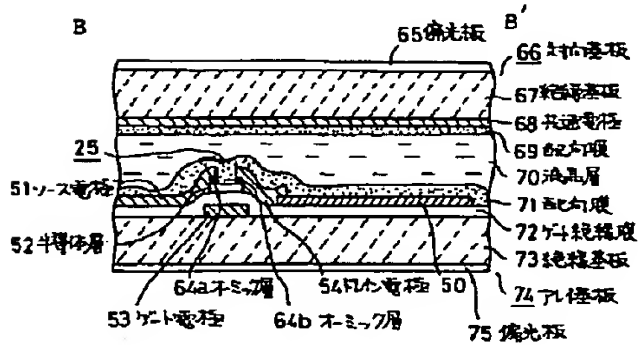
【図9】



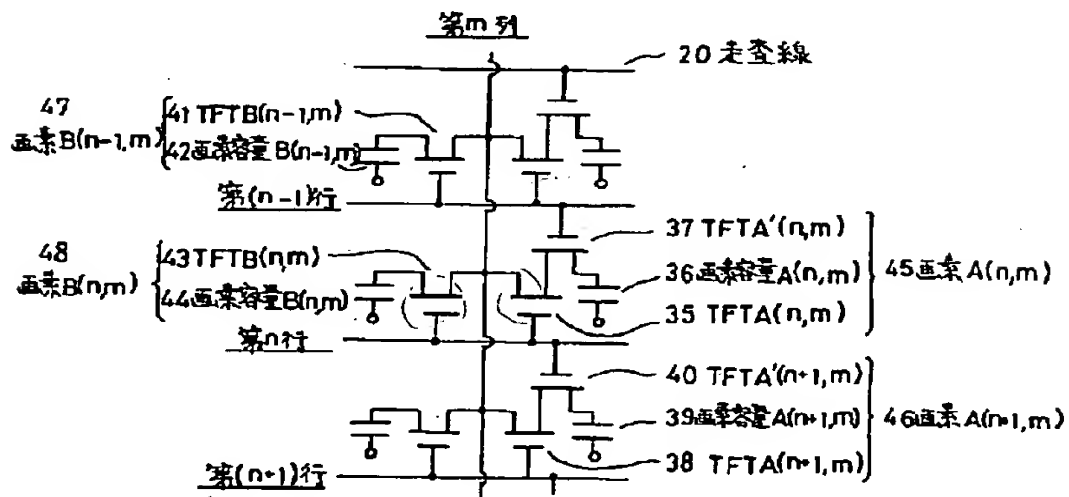
【図2】



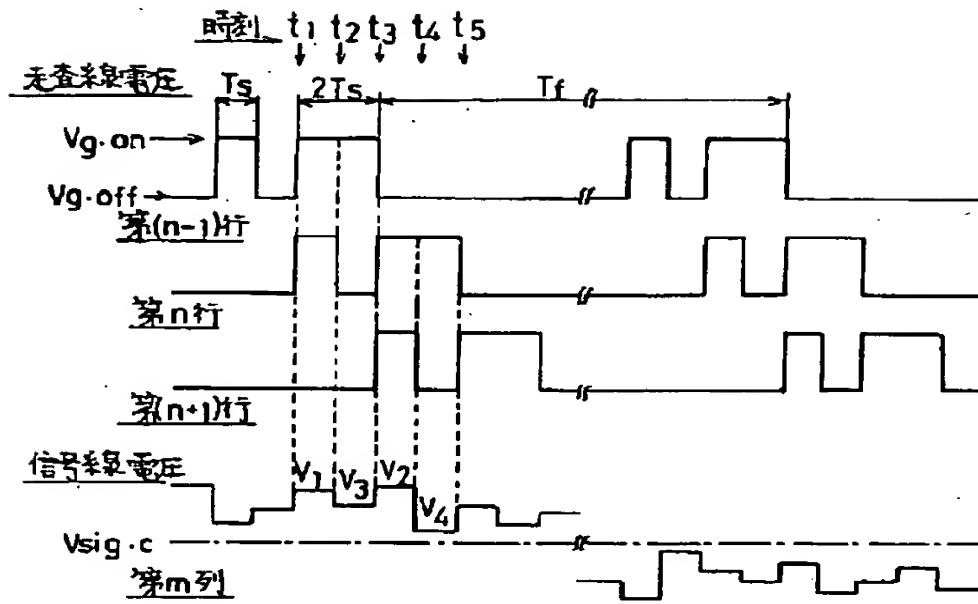
【図3】



【図5】



【圖 4】



【圖 7】

